

# テクニカルノート

## DDR SDRAM ポイントツーポイントシミュレーションプロセス

### はじめに

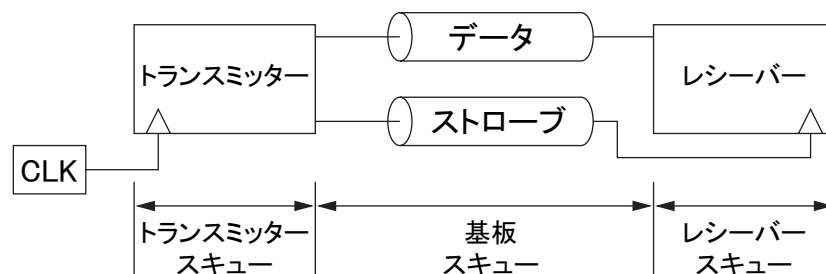
このテクニカルノートでは、DDR SDRAM ポイントツーポイントシミュレーションプロセスのほとんど取り上げられない分野について説明します。

1. 信号整合性
2. ボードスキューと寄与因子
3. リターンパス不連続

バスの速度が速くなってきているため、信号整合性解析はさらに重要になってきています。デザインを詳細にモデル化することにより、システムの機能性を最初から確保できるため、開発に要する総コストを削減できます。モデルによって性能が向上すると同時に、テストやデバッグに要する時間も短縮されます。信号整合性解析を行うことにより、優れた製品をすぐに市場に投入できます。

同期ベースのアーキテクチャからソース同期アーキテクチャに移行することにより、速度を制限するフライト時間遅延を排除します。DDR SDRAM デバイスでは、双方向ストロブをデータクロックとして使用し、フライト時間遅延を排除します。DDR のようなソース同期アーキテクチャでは、主にボードスキューによって速度が制限されます（図 1 を参照）。信号整合性解析は、スキューを最小限に抑えることが目的です。

図 1: ソース同期バス



### 信号整合性プロセス

信号整合性プロセスは、性能要求と前提条件の 2 つのカテゴリに分けることができます。性能要求には、タイミングバジェットや負荷の数などの項目が含まれます。前提条件には、トポロジーや損失ラインなどの多くの基板レベルのコンポーネントが含まれます。性能要求と前提条件を決定すると、デザインは Micron が提供しているモデルを使用してシミュレーションできる状態になります。

## 性能要求

全体のタイミングバジェットにより、ボードスキューなどのデータ有効ウィンドウが決まります。表 1 に、典型的なトップレベルのタイミングバジェットを示します。タイミングバジェットは、許容されるフルサイクル時間で始まり、この 7.5ns クロックの場合は、3.75ns サイクル時間と同じです。その後、セットアップ部分とホールド部分に分割されます。トランスミッターおよびレシーバーのスキューは、デバイスのデータシートから得られます。

たとえば、DDR SDRAM デバイスからの READ コマンド時のトランスミッタースキューは、タイミングパラメータ  $t_{DQSQ}$  および  $t_{QH}$  から得られます。使用可能な最大データ有効ウィンドウを決めるには、ボードスキューを計算に入れる前に、使用可能なビット時間からトランスミッタースキューを引きます。例に示すレシーバースキューは、DDR SDRAM コントローラーで必要なデータ有効ウィンドウを表しています。

ボードスキューバジェットを構成する要因には、ISI、VREF ノイズ、パス長不整合、クロストーク、CIN 不整合、および終端抵抗の許容誤差を含める必要があります。

表 1: トップレベルのタイミングバジェットの例

| コンポーネント      | セットアップ | ホールド  | 単位 | コメント                    |
|--------------|--------|-------|----|-------------------------|
| 総バジェット       | 1,875  | 1,875 | ps | 266 MHz 周期 = 3.75ns 半周期 |
| トランスミッタースキュー | -790   | -790  | ps | ベンダーのデータシート             |
| レシーバースキュー    | -500   | -500  | ps | ベンダーのデータシート             |
| ボードスキューバジェット | 585    | 585   | ps | 基板で使用可能なスキュー            |

基板レベルのスキューのすべてのコンポーネントについては、本書の「前提条件」セクションで詳細に説明します。

もう 1 つの性能要求は、電圧マージンです。電圧マージンは、必要なロジックレベルとデバイスによって検出される実際のレベル間のマージンの量です。これは、電源電圧およびロジック入力レベルによって決まります (図 2 を参照)。信号の遷移は、AC 入力ロジックレベルを通過して、少なくとも DC/AC 領域が有効になるまで留まる必要があります。DDR デバイスの場合、入力レベルは  $V_{REF} \pm 150\text{mV}$  で、AC レベルは  $V_{REF} \pm 300\text{mV}$  です。図 3 に示すように、スキューレベルとロジックレベルの両方を使用して、データ有効ウィンドウが決定されます。AC レベルは、信号が切り替わるアイの開始時に参照され、AC レベルを通過してラッチする必要があります。

図 2 : DDR 入力ロジックレベル

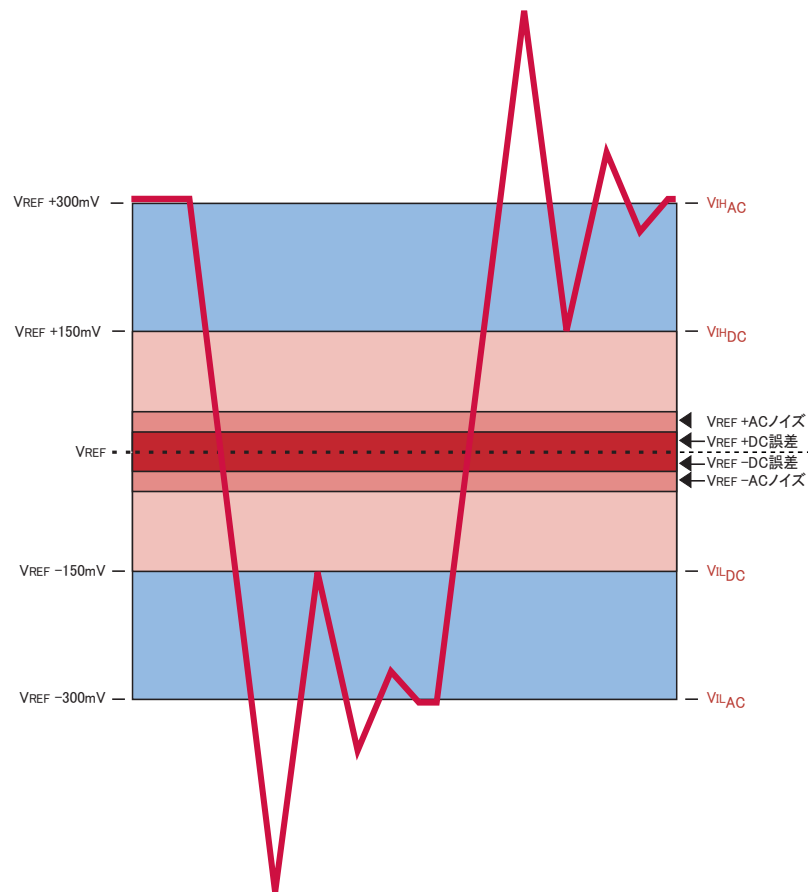
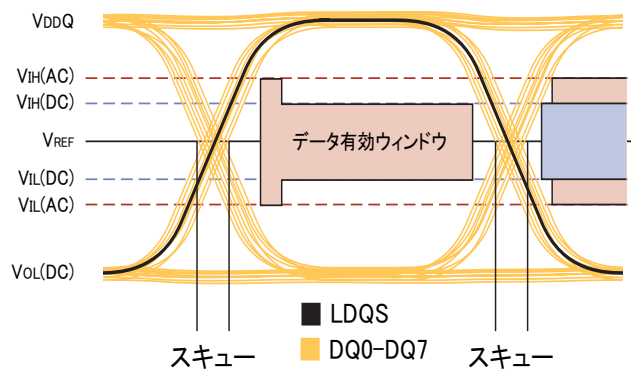


図 3 : 電圧マージンを示す DC データ有効ウィンドウ



## 前提条件

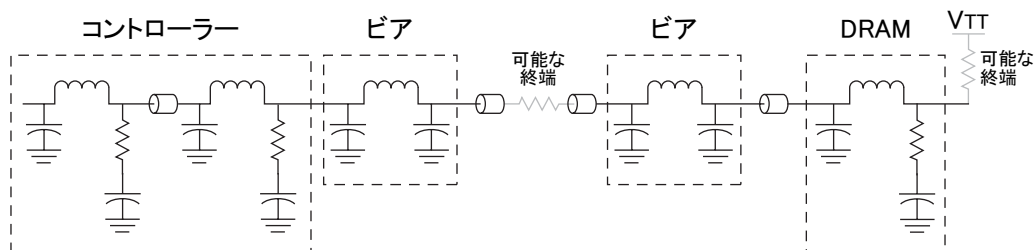
信号整合性プロセスの前提条件は、通常、これまでの実験、現在の業界の慣習、および最新の調査の組み合わせに基づいています。業界の慣習と最新の調査を認識していれば、間違った前提条件を避けることができます。前提条件の例には、ビアの効果と損失伝送線路が含まれます。図 4 に、典型的なポイントツーポイント回路モデルを示します。このモデルには、ドライバー、レシーバー、DDR SDRAM と ASIC の両方のパッケージ寄生効果、ビア、可能性のある終端、伝送線路などが含まれています。

Micron では、すべての DDR SDRAM デバイスの SPICE モデルと IBIS モデルの両方を Web サイトで提供しています。SPICE モデルは、トランジスタレベルのモデルで、IBIS モデルより正確ですが、解析速度は遅くなります。IBIS モデルは、高速の動作主体のモデルですが、ラボでの失敗を再現できません。パッケージの寄生効果は、モデルに含まれている必要があり、必ずシミュレーションに使用する必要があります。

レシーバーモデルの場合は、SPICE モデル、IBIS モデル、または集中キャパシターモデルがあります。集中キャパシターモデルでは、DDR SDRAM の動作速度での SPICE オプションまたは IBIS オプションの最適な近似が得られます。このモデルを使用すると時間を節約でき、モデル化された DDR システムでは業界標準です。ほとんどの場合、精度はわずかに低下しますが、集中キャパシターモデルを使用して時間を節約するだけの価値があります。

トレースまたは伝送線路は、トレースインピーダンス、遅延、物理定数、および形状の組み合わせにより作成されます。ほとんどのシミュレーションでは単一線路モデルが使用されますが、クロストークの効果をシミュレーションするには結合モデルを使用する必要があります。また、最も正確な結果を得るには、DDR SDRAM システムをシミュレーションする際に損失ラインも使用する必要があります。結果は、無損失ラインよりもラボのデータに一致する傾向があります。

図 4 : 典型的なポイントツーポイント回路



ビアのモデルを使用することにより、シミュレーション時間に影響を与えることなく、モデルの精度を改善できます。業界で受け入れられている値は、Johnson および Graham 著『High-Speed Digital Design』などの複数の出典から得られます。スキューが増えるのを避けるには、バイトレーン全体でビアの数を一致させる必要があります。高速バスの場合、精度を確保するために、すべての回路コンポーネントをシミュレーションに含める必要があります。

## シミュレーション

シミュレーションは、ハードウェアを構築する前に、すべての信号がバス仕様を満たすようにすることが主な目的です。また、デザインを最適化し、タイミングバジェットの数値を得る目的でも使用されます。シミュレーションは、設計サイクル全体を通して行われ、シミュレーションの目的を明確にする次の3つのカテゴリに分類できます。

1. 基本レイアウトを決定するためのサイジング
2. ハードウェア製作前にデザインを微調整するための感度解析
3. ハードウェア製作後のデザイン検証

一般的なシミュレーションプロセスは、速度、想定する負荷、バス仕様、想定したトポロジー、PVT (プロセス、電圧、および温度) 条件などの必要なすべての性能データ収集から始まります。性能要求を確立したら、回路モデルを構築し、初期サイジングシミュレーションを実行して、受信信号が、確立した要求仕様を満たすかどうかを確認します。信号はすべてのレシーバーの位置で確認する必要があります。疑似ランダムビットパターンは、サイジング測定のデータアイを確認する最低限の項目として含める必要があります。パターンには、最大レートと最小レートにおけるいくつかのサイクル切り替えを含めて、ソースのスペクトル成分を満たす必要があります。たとえば、長い“Low”の途中にある1サイクルの“High”や、長い“High”の途中にある1サイクルの“Low”などです。ビットパターンは非常に広範囲であるため、これらは単に最低限の要求に過ぎません。良好なパターンは、バイナリの5ビットシーケンスとその補数に対応します。つまり、アイダイアラムソースには、5ビット真理値表のすべてのパターンが含まれているパルス列があり、最初のパルス列の正確な補数ビットが続きます。アイダイアグラムは、信号を重ね合わせることによって得られます。

初期サイジングシミュレーションが、確立した要求仕様を満たす場合は、感度解析に進み、タイミングバジェットを算出できます。サイジングシミュレーションが、確立した要求仕様を満たさない場合は、デザインに何らかの変更を行う必要があります。確認する重要な点として、トポロジー、終端、負荷、駆動力などがあります。変更を行ったら、シミュレーションを再度実行して、確立したすべての要求仕様を満たされていることを確認します。初期サイジングによって、機能的なレイアウトが決まり、感度解析によって広範な動作条件でレイアウトがテストされます。

感度解析は、広範な動作条件でデザインをテストするために行われます。感度解析により、問題が特定され、システム性能が最適化されます。感度解析に含まれている変数は、トポロジー、終端方法、基板のインピーダンス、負荷、およびPVT (プロセス、電圧、および温度) 条件です。トポロジーのばらつきは、可能性のある配線のばらつきの効果とトレース長不整合を判断するのに役立ちます。また、終端方法を変えて、抵抗の許容誤差を計算する必要があります。トレースインピーダンスの許容誤差は、シミュレーションプロセス時に計算する必要があります。負荷は、ポイントツーポイントシミュレーションでは重要ではありませんが、シミュレーションプロセスでは最悪のばらつきを計算する必要があります。ピン間の負荷のばらつきによってスキューが生じる場合があります。コーナーテストのPVT条件により、デザインがすべての動作温度下で機能することが確認されます。最悪のコーナーには、高速または低速プロセス、高温または低温、高電圧または低電圧が含まれます。

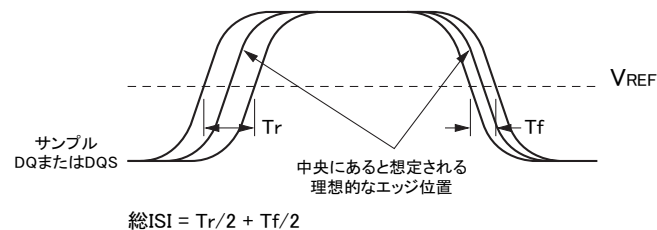
## ボードスキュー

ボードスキューバジェットを構成する要因には、ISI、VREF ノイズ、パス長不整合、クロストーク、CIN 不整合、終端抵抗の許容誤差などが含まれます。ボードスキューの個々の要素を確認する際は、DQ ピンと DQS の両方を変化させ、すべてのコーナーを網羅する必要があります。

## ISI

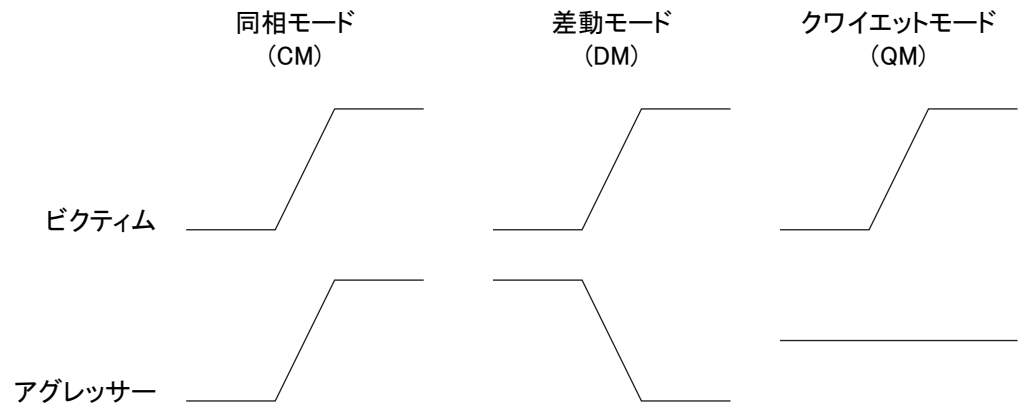
ISI は、安定する前にバスを切り替えることによって生じますが、バスの速度を遅くして ISI を低減することは推奨できません。ISI を避けるためにストロブとデータエッジの両方を移動させなければならない可能性があるため、ストロブとデータ ISI の両方をタイミングバジェットに含める必要があります。タイミングバジェットの目的に従い、図 5 に示すように、ISI 全体がセットアップとホールドに均等に分割されます。総 ISI は、VREF で測定された  $T_r$  および  $T_f$  を使用して、 $T_r/2 + T_f/2$  として定義されます。ISI を最低に維持するには、終端とレイアウトを最適化する必要があります。ISI を減らすには、最適な解が見つかるまでサイジングと感度解析を繰り返してください。

図 5: ISI

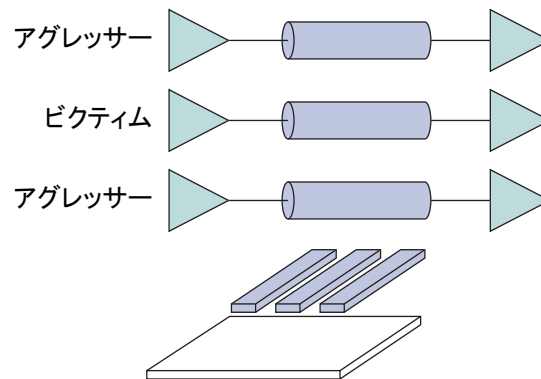


## クロストーク

基板上およびパッケージ内で隣接するトレース間の結合によりジッターが生じ、これがクロストークの原因となります。クロストークを避けるためにストロブとデータエッジの両方を移動させなければならない可能性があるため、ストロブとクロストークの両方をタイミングバジェットに含める必要があります。1) ビクティムと同時に発生するアグレッサと、2) ビクティムと同時に発生しないアグレッサの 2 つのタイプのクロストークに対処する必要があります。最初のタイプのクロストークは、DQ ピンなどの共通信号間で見られます。共通信号の結合により、ビクティムのエッジの速度が変わり、ジッターが発生します。2 番目のタイプのクロストークには、DQ ピンとアドレスピン間の結合があります。タイミングバジェットの計算に加えるのは困難なので、配線とレイアウトを工夫して回避する必要があります。アドレスラインと制御ラインの近くに DQ ピンを配線しないでください。

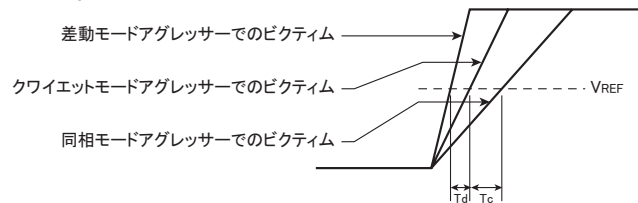
**図 6 :** クロストークシミュレーション時のアグレッサ条件の切り替え


クロストークをシミュレーションする際は、同相モード、差動モード、およびクワイエットモードの3つのアグレッサ条件でビクティムビットを切り替える必要があります(図6を参照)。ビクティムのエッジとアグレッサのエッジ間のスキューによって、タイミングバジレットのクロストーク成分が計算されます。クロストークは、DQラインとDQSラインの両方に対してシミュレーションする必要があります。図7に、クロストークのシミュレーションに使用する結合回路ネットを示します。3つの結合回路を示してありますが、クロストークの最悪のシナリオには、通常、合計5つの回路(1つのビクティムと両側に2つずつ接近した回路)が含まれています。

**図 7 :** 結合回路


クロストークによって生じたジッターは、ビクティム/アグレッサの疑似ランダムビットパターンを使用している1つのエッジの移動箇所ではなく、VREFで測定する必要があります。クワイエットモードパターンでは、クロストークがない通常の場合の結果が得られます。差動モードでは通常、ビクティムの信号が速くなります。同相モードでは、ビクティムの信号が遅くなります(図8を参照)。すべてのアグレッサパターンで立ち上がりエッジと立ち下がりエッジの両方をシミュレーションした後、TdまたはTcの最大値をタイミングバジレットに入力します。Td+Tcをタイミングバジレットに入力すると非常に悪い結果となります。これは、ビクティムビットが1サイクルの間同相モードのアグレッサを持ち、次のサイクルで差動モードのアグレッサを持つようにすることは物理的に不可能だからです。

クロストークを最小限に抑えるには、同じクロックエッジで切り替わるビットと一緒に配線する必要があります。これにより、近接クロストークを回避できます。ストロープなどの高感度ラインは、分離するか、またはほとんど切り替わらない信号の隣に配線する必要があります。

**図 8 : クロストークの効果**


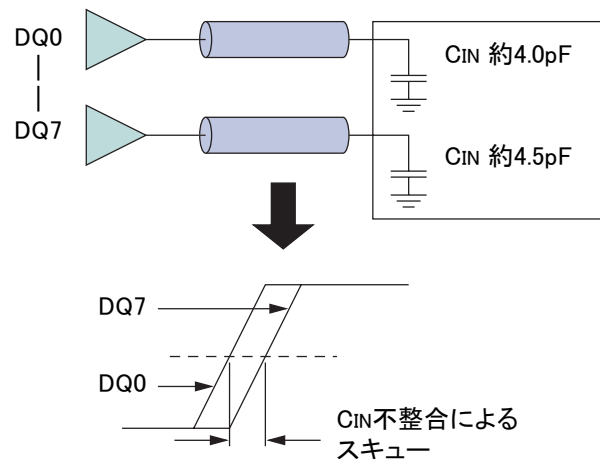
## VREF ノイズ

リファレンスプレーンノイズとクロストークは、ストロブとデータ間のスキューを発生させる VREF ノイズの 2 つの主な寄与因子です。最悪のスキューを計算するには、デバイスのデータシートに記載されている最悪のレシーバーエッジレートと VREF ノイズの限界値を使用します。ストロブとデータの両方をタイミングバジェットに含める必要があります。たとえば、エッジレート 0.5V/秒で、VREF ノイズが  $\pm 50\text{mV}$  の場合、ストロブとデータ間のスキューは 200ps です。

VREF ノイズを最小限に抑えることは、DDR SDRAM 設計において非常に重要な側面です。VREF をレイアウトする際は、隣接信号から 15 ~ 20 mil 離し、ライン上のインダクタンスを低減するために、トレースの幅をできる限り広くする必要があります。また、チップのできるだけ近くに、同じ値のデカップリングコンデンサを取り付けて、VDDQ と VSSQ の両方から VREF への結合を回避してください。また、VREF を VDDQ ピンまたは VSSQ ピンでシールドすると、VREF ピン上のノイズを低減することもできます。

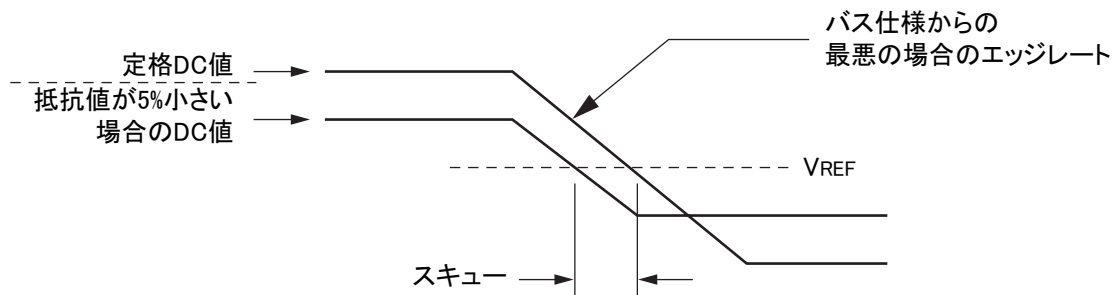
## CIN および終端抵抗の不整合

CIN の不整合に関連するスキューは、シミュレーションとデータシート仕様に記載されているデルタ C から得られます。最小および最大キャパシタンスは、データ間のスキューと、データと DQS 間のスキューを特定するために使用されます。ドライバーとレシーバーの両方を CIN の不整合に対して考慮する必要があります。図 9 に、シミュレーション時の参考として、CIN の不整合から生じるスキューと関連する回路図を示します。

**図 9 : CIN の不整合**


終端の不整合によって生じたスキューは手作業で計算するか、正確な数値が必要な場合はシミュレーションから得ることができます。終端の不整合によるスキューを手作業で計算するには、各許容ポイントでの抵抗値を使用して DC 値を特定します。エッジレートを使用して、DC レベルから各許容ポイントの VREF までの立ち上がり / 立ち下がりに必要な時間を特定し、立ち上がり / 立ち下がりに必要な時間の差からスキューを計算します (図 10 を参照)。

図 10: CIN の不整合によるスキュー



### トレース長不整合

トレース長不整合は、DQS ピンと関連する DQ ピン間のバイトレーンにのみ影響を与えます。バイトレーン間の不整合は、タイミングバジェットを一緒にするうえでは重要ではありません。トレースの許容誤差は通常、デザインのレイアウトとプリント基板の製造によって決まります。バイトレーンの最短トレースと最長トレース間の距離にトレースの伝搬遅延を乗算してスキューを計算します。基板が FR4 であると想定すると、マイクロストリップトレースに関連する伝搬遅延は約 165ps で、ストリップラインに関連する遅延は約 180ps です。伝搬遅延は、プリント基板のデルタ定数とトレースのインピーダンスによって異なる場合があります。

表 2: タイミングバジェット

| 要因           | セットアップ | ホールド  | 単位 | コメント                       |
|--------------|--------|-------|----|----------------------------|
| 総スキュー        | 1,875  | 1,875 | ps | 266 MHz 周期 = 半周期ごとに 3.75ns |
| トランスミッタースキュー | -790   | -790  | ps | ベンダーのデータシート                |
| レシーバスキュー     | -500   | -500  | ps | ベンダーのデータシート                |
| ISI          | -105   | -105  | ps | シミュレーション                   |
| クロストーク       | -165   | -165  | ps | シミュレーション                   |
| VREF ノイズ     | -200   | -200  | ps | 仕様からの計算                    |
| 終端抵抗の許容誤差    | -20    | -20   | ps | シミュレーション                   |
| パス長不整合       | -30    | -30   | ps | 仕様からの計算                    |
| CIN の不整合     | -50    | -50   | ps | シミュレーション                   |
| その他          | 15     | 15    | ps | マージン                       |

トレース長不整合に関連するスキューは、タイミングバジェットを完成するために必要な最後の要素です。表 2 に、デザインのマージンを特定するために、前述のすべてのボードスキュー変数に対応する基本的なタイミングバジェットを示します。

### 検証

シミュレーション方法によって、デザインが最悪の性能値と結び付けられ、マージンがほとんどない悪いタイミングバジェットになる傾向があります。これは必ずしも保証外になるわけなく、リスクに過ぎません。すべての条件がシステムで最悪になる可能性はほとんどありません。非常に悪いタイミングバジェットとならないようにするために、感度解析時に最悪の前提条件を統計分布に置き換えることができます。統計分布は、ラボの検証によって作成されるため、シミュレーションでは信頼できます。

シミュレーションされたすべての条件を検証することは実践的ではありませんが、信頼できるシミュレーションを得るという点では、注目すべきことです。シミュレーションでは、基板のすべての効果を考慮できないため、いくらかの相違が生じます。検証する主な項目は、DC レベル、エッジレート、オーバーシュート、ジッター、アイアパーチャ、および波形の一般的な形状です。

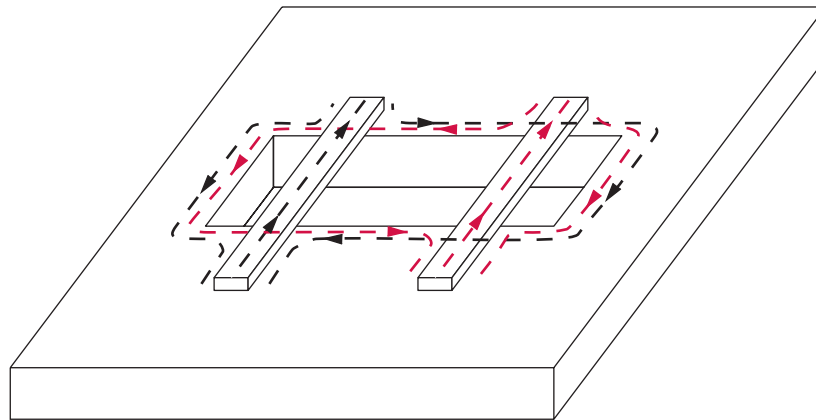
デザインの検証段階では、適切な測定方法を採用することが重要です。オシロスコープの速度とプローブのループインダクタンスに注意してください。また、測定場所にも注意してください。オシロスコープのサンプルレートおよび速度は、測定対象信号の速度の少なくとも2倍である必要があります。サンプルレートが速いと、単発のイベントを捕らえることができます。速度とサンプルレートは、オシロスコープとプローブの両方に適用されます。プローブに関連するループインダクタンスは、差動プローブに使用されている長いアース線によって生じます。アース線は、最も正確な測定値を得るために、たとえ測定の実行が困難になるとしても、できるだけ短くしておく必要があります。測定はできるだけレシーバーの近くで行う必要があります。レシーバーから離れると、プローブとパッド間のスタブによって、信号が減衰します。プローブポイントでのシミュレーションは、検証に役立ちます。

検証プロセス時は、性能テストを実施してデザインの堅牢性を判断する必要があります。これには、環境テストと電圧ガードバンドが含まれます。VREFの変動とともに、最小電圧と最大電圧の両方のコーナーをテストする必要があります。これによって、広範な動作条件でデザインが検証されます。

## リターンパス不連続

リターンパス不連続には、リターン電流経路を迂回するリファレンスプレーンのホールやスプリットなどが含まれます。高速リターン電流は信号ラインのすぐ下を流れますが、プレーンにスプリットまたはスロットがある場合は流れません(図11を参照)。

図 11: スプリットリターンパス



バスの速度が速くなり無視できないため、リターンパス不連続はさらに重要になってきています。リターンパス不連続の効果をシミュレーションするのは困難なので、可能な限りリターンパス不連続を避けるようにしてください。図11に、リターン電流の重ね合わせを示します。このリターン電流により、システムのクロストークの量が増える可能性があります。ここでも、たとえ基板の設計や配線に時間がかかるとしても、可能な限りリターンパス不連続を避けてください。

## まとめ

どのデザインでもトレードオフが必要です。ほとんどの場合、電気的性能とコストが主なトレードオフ要因です。信号整合性プロセスとシミュレーションを実行すると、性能とコストの両方に対してデザインを最適化できます。

信号整合性プロセスを実行する際に、デザインのトレードオフを行うために覚えておくべきいくつかの重要なポイントがあります。モデルの精度を高めると、シミュレーションの時間が長くなります。この良い例を、集中キャパシタの使用に関するセクションですでに説明しました。集中キャパシタは、SPICE モデルほど正確ではありませんが、ほとんどの場合に十分であり、シミュレーション時間も節約できます。エッジレートは、特に注意を要する部分です。ドライバーを設計する際は、エッジレートを、マージンを持たせるためだけに十分な速さにします。エッジレートを速くすると、システム内のノイズが増えて、VREF ノイズに対する感度が低下します。エッジレートを遅くすると、逆の影響があります。負荷を大きくすると ISI が上昇し、強いバッファが必要になるため、SSO とクロストークに悪影響を与えます。スタック構成は、性能とコスト間のトレードオフにおける大きな要因です。一般的に、層の数を増やすと、システムノイズが減って、配線が簡略化されますが、コストが高くなります。また、グラウンドプレーンも安定したリファレンスになる傾向があるので、一般的には、電源ではなくグラウンドを基準にした高速信号の配線に有利です。詳細にモデル化することにより、機能的なシステムを最初から確保でき、性能を最大に高めながら、テストやデバッグに要する時間を短縮し、優れた製品をすぐに市場に投入することができます。



8000 S. Federal Way, P.O. Box 6, Boise, ID 83707-0006、電話番号 3-3436-5666  
prodmtg@micron.com www.micron.com お客様お問い合わせ先 800-932-4992  
Micron、M ロゴ、および Micron ロゴは Micron Technology, Inc. の商標です。  
他のすべての商標は各所有者に帰属します。