

テクニカルノート

DDR2 SDRAM のバンクアドレッシング

はじめに

DDR2 SDRAM では、バンクおよびアレイアーキテクチャをアドレッシングとともに改善し、性能向上と省電力化を図っています。3 ページの表 1 に、DDR2 デバイスと DDR SDRAM デバイスのバンク数とページサイズの比較表を示します。このテクニカルノートでは、DDR から DDR2 SDRAM へのアレイアーキテクチャの進化について説明します。

アレイの定義

ページサイズとは、同一行につながり、1 回の ACTIVE コマンドによってアクセスされる列位置の最小数のことです。ページサイズは、列位置の数と、デバイスに対して発行される DQ 信号の数を乗算したものと等しくなります。たとえば、x8 構成の 512M ビット DDR2 SDRAM には、1,024 の列位置があります。したがって、ページサイズは、1,024 列 x 8 DQ で、8,192 ビットとなります。8,192 ビットをバイト長 8 で除算すると、1,024 バイト、すなわち 1KB となります。

ACTIVE コマンドが発行されるたびに、ページ内のすべてのビットはセンスアンプによってリードされ、正しい値に復元されます。このプロセスは電力消費の主因です。したがって、ページサイズが小さいほど動作電流は低く抑えられます。

DDR2 では、容量 256M ビット～2G ビット、構成 x4 および x8 のページサイズを 1KB (DDR のページサイズの半分) と指定しており、デバイスの動作電流の低減を図っています。容量が 512M ビット以上だと、x16 構成の DDR2 デバイスのページサイズは 2KB に増えます。x16 構成の個々の DRAM デバイスの消費電力は、同容量の x4 構成や x8 構成よりも増えますが、代表的な 64 ビットバス幅をサポートするのに必要なコンポーネントの数は少なくなるため、システム全体の実際の消費電力は小さくなります。

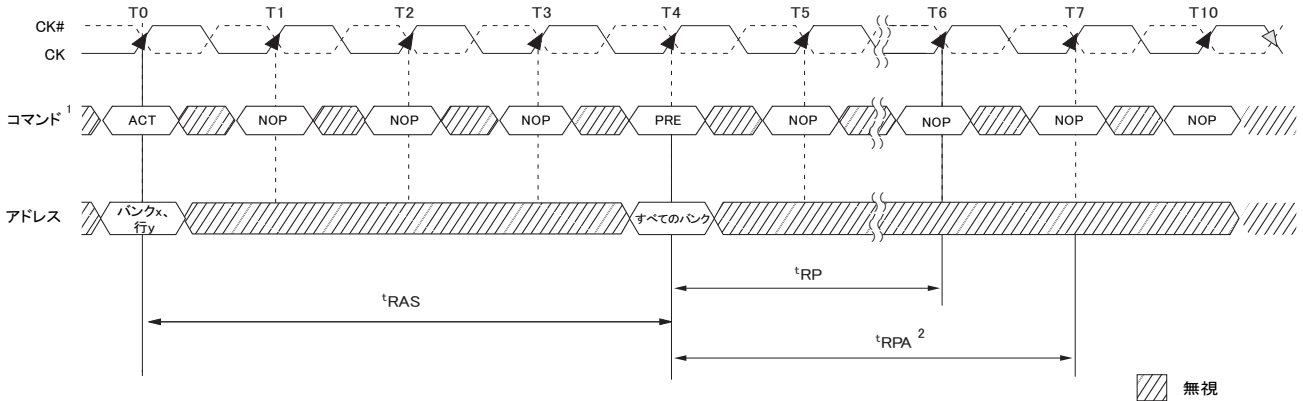
DDR2 のバンクアクセス

容量が 1G ビット以上の場合、システム性能 (バンクインタリーブおよびページアベラビリティ) を向上させるために、DDR2 仕様では、デバイス上のバンクの数を 4 から 8 に増やしています。

4 バンク DDR2 のバンクアクセスシーケンスは、図 1 のように DDR とほぼ同じです。ページサイズ 1KB の DRAM の場合は $t_{RRD} = 7.5\text{ns}$ ですが、ページサイズが大きいほど消費電力要求仕様も大きくなるので、2KB の場合は $t_{RRD} = 10\text{ns}$ となります。バンクがプリチャージされると、 t_{RC} 周期の 1 サイクル後に再びバンクへのアクセスが発生します。

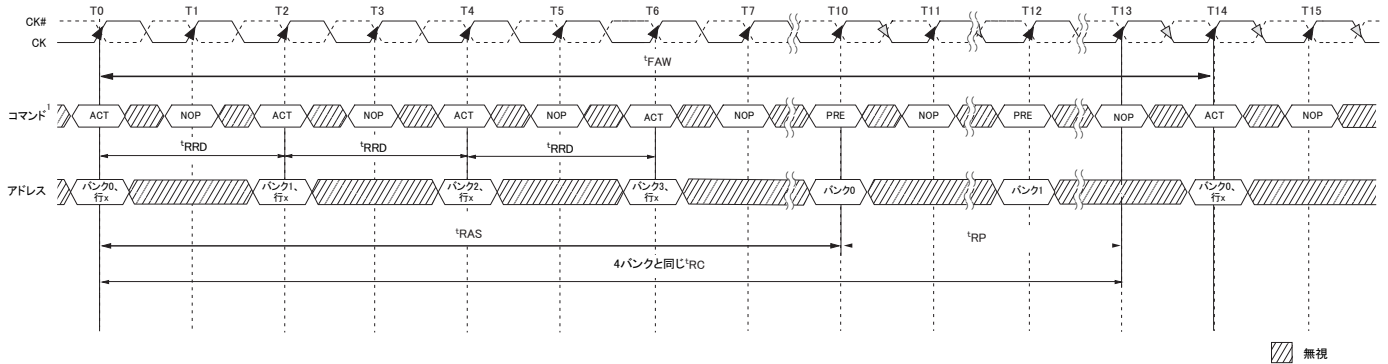
8 バンク DDR2 では、さらに柔軟性のあるシステム / デバイス間のアクセス方法が採用されていますが、消費電力は増えます。消費電力の増加によって DRAM デバイスの機能が悪影響を受けないように、 t_{FAW} のウィンドウの範囲内でアクセス可能なバンクの数は 4 つに制限されています。2 ページの図 2 を参照してください。8 バンクデバイスに対して PRECHARGE (ALL) コマンドを発行すると、2 ページの図 3 のように、 t_{RP} は t_{RPA} に変わります (t_{RPA} の場合、次のコマンドの発行前に 1 つ余分なクロックが必要)。

図 1: 4 バンクデバイスの ACT コマンドのタイミング例



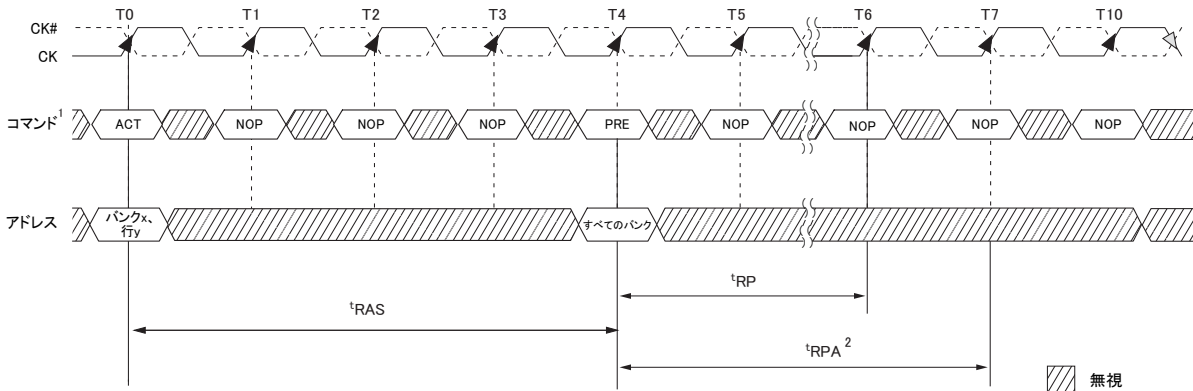
- 注: 1. 図示の便宜上、上図では NOP コマンドを示しています。他にも、同時に有効なコマンドが発生している場合があります。
2. t_{RPA} は 8 バンクデバイスに該当します。常時 1 つ以上のバンクが開いています。

図 2: 8 バンクデバイスの ACT コマンドのタイミング例



- 注: 1. 図示の便宜上、上図では NOP コマンドを示しています。他にも、同時に有効なコマンドが発生している場合があります。
2. t_{RRD} は、ページサイズ 1KB では 7.5ns、2KB では 10ns です (最小 2 クロック)。
3. t_{FAW} は、ページサイズ 1KB では 37.5ns、2KB では 50ns です (最小 2 クロック)。

図 3: t_{RP} (4 バンク) と t_{RPA} (8 バンク) のタイミング例



- 注: 1. 図示の便宜上、上図では NOP コマンドを示しています。他にも、同時に有効なコマンドが発生している場合があります。
2. t_{RPA} は 8 バンクデバイスに該当します。常時 1 つ以上のバンクが開いています。

SDRAM アーキテクチャの比較表

表 1: DRAM のアーキテクチャ

容量	機能	x4	x8	x16
256M ビット (4 バンク)	行	8K (A0 ~ A12)	8K (A0 ~ A12)	8K (A0 ~ A12)
	バンク	4 (BA0 ~ BA1)	4 (BA0 ~ BA1)	4 (BA0 ~ BA1)
	列	2K (A0 ~ A9, A11)	1K (A0 ~ A9)	512 (A0 ~ A8)
	ページサイズ	1KB	1KB	1KB
512M ビット (4 バンク)	行	16K (A0 ~ A13)	16K (A0 ~ A13)	8K (A0 ~ A12)
	バンク	4 (BA0 ~ BA1)	4 (BA0 ~ BA1)	4 (BA0 ~ BA1)
	列	2K (A0 ~ A9, A11)	1K (A0 ~ A9)	1K (A0 ~ A9)
	ページサイズ	1KB	1KB	2KB
1G ビット (8 バンク)	行	16K (A0 ~ A13)	16K (A0 ~ A13)	8K (A0 ~ A12)
	バンク	8 (BA0 ~ BA2)	8 (BA0 ~ BA2)	8 (BA0 ~ BA2)
	列	2K (A0 ~ A9, A11)	1K (A0 ~ A9)	1K (A0 ~ A9)
	ページサイズ	1KB	1KB	2KB
2G ビット (8 バンク)	行	32 K (A0 ~ A14)	32 K (A0 ~ A14)	16K (A0 ~ A13)
	バンク	8 (BA0 ~ BA2)	8 (BA0 ~ BA2)	8 (BA0 ~ BA2)
	列	2K (A0 ~ A9, A11)	1K (A0 ~ A9)	1K (A0 ~ A9)
	ページサイズ	1KB	1KB	2KB

まとめ

いくつかの主要なタイミングパラメータを監視すれば、8 バンクデバイスのスループットの最適化は比較的簡単です。8 バンクの採用に伴い、^tFAW、^tRPA、および^tRRD (x16) 信号が定義されました。時間ウィンドウの範囲内で発行可能な ACTIVE コマンドの数には、^tFAW コマンド (4 バンクアクティブ期間) で制限を加えています。8 バンクデバイスの場合、PRECHARGE ALL 時間 (^tRPA) を 1 クロック分増やしています。また、ページサイズが 2KB のデバイスの場合、それぞれのバンクに対するアクティブコマンドの発行間隔は、ACTIVATE 間隔 (^tRRD, x16) によってわずかに拡大しました。



8000 S. Federal Way, P.O. Box 6, Boise, ID 83707-0006、電話番号 : 3-3436-5666
 prodmktg@micron.com www.micron.com お客様お問い合わせ先 : 800-932-4992
 Micron、M ロゴ、および Micron ロゴは Micron Technology, Inc. の商標です。

他のすべての商標は各所有者に帰属します。

このデータシートには、量産デバイスの電源および温度範囲を上回って規定された最小および最大限界が記載されています。一応最終的なデータですが、さらに製品開発が進みデータの特性評価が行われれば、これらの仕様を変更する場合があります。