

Technical Note

DDR2 Memory Module Pinout Decode Tables

Introduction

Memory module configurations continue to evolve with each new generation. The typical trend is toward higher pin count with increasingly advanced signal definitions. The information in this technical note are derived from DDR2 industry standards to provide comprehensive information for the following memory module families:

- DDR2 SDRAM SODIMM
- DDR2 SDRAM RDIMM
- DDR2 SDRAM UDIMM

This technical note provides pin description tables, pin assignment tables, and pin location figures. Two pin assignment tables are provided for each module family: one is sorted by pin number in ascending numeric order and one is sorted by by pin name in ascending alphabetic order. This will aid signal identification, tracing, and troubleshooting of DDR2 memory modules. For example, if a designer were trying to route a particular signal group (i.e., DQ/DQS or V_{DD}/V_{SS} lines) and needed to identify and lay out proper signal paths, these steps could be followed to determine the best possible signal routing and part placements:

1. Select the signal group from the alphabetic table for the module family.
2. Using the numeric table for the module family, determine which pins are related to the signal group.
3. Find the pins in the pin location figure for the module family.

Further information regarding the specific pinout for a selected configuration may be obtained from the respective module datasheet at: <http://www.micron.com/products/modules>.

Disclaimer

This document is not to be used for final reference designs. Under all circumstances, any discrepancies between this document and the current applicable industry standards will be considered Micron's interpretation and the industry standard will be the correct reference. Any discrepancies of terminology within this document reflect discrepancies in the industry standard specifications.

200-Pin DDR2 SDRAM SODIMM

Table 1: 200-Pin DDR2 SDRAM SODIMM Pin Descriptions

Symbol	Description
A[9:0], A[15:11]	Address inputs
A10/AP	Address input/Autoprecharge
BA[2:0]	SDRAM bank address
CAS#	Column Address Strobe
CK[1:0]	Clock inputs, positive line
CK#[1:0]	Clock inputs, negative line
CKE[1:0]	Clock Enables
DM[7:0]	Data Masks
DQ[63:0]	Data Input/Output
DQS[7:0]	Data Strobes
DQS#[17:9]	Data Strobes Complement
NC	Reserved for future use
ODT[1:0]	On-die termination control
RAS#	Row Address Strobe
S#[1:0]	Chip Selects
SA[1:0]	SPD address
SCL	Serial Presence-Detect (SPD), Clock Input
SDA	SPD Data Input/Output
TEST	Logic Analyzer specific test pin (No connect on SODIMM)
V _{DD}	Core and I/O Power
V _{DDSPD}	SPD Power
V _{REF}	Input/Output Reference
V _{SS}	Ground
WE#	Write Enable



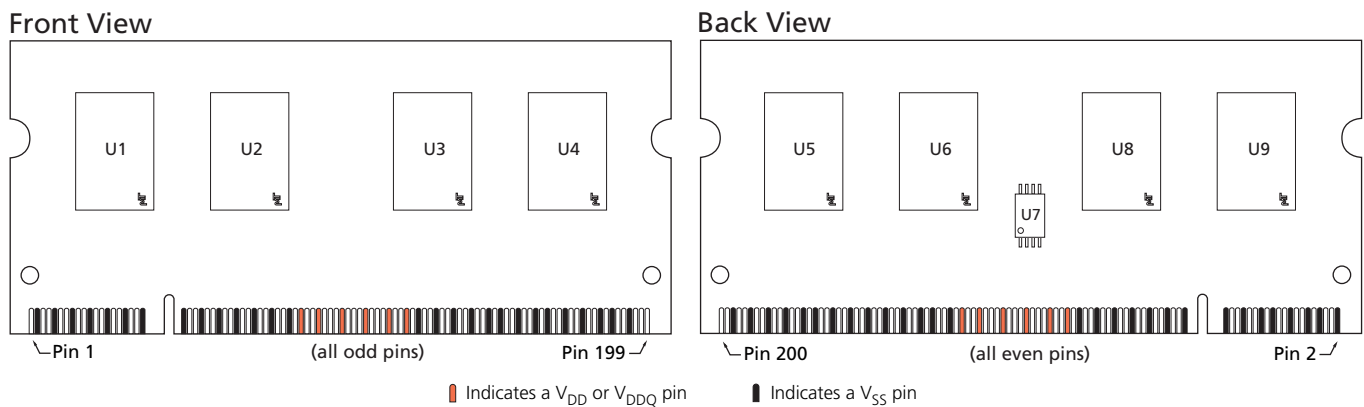
Table 2: 200-Pin DDR2 SDRAM SODIMM Pin Assignments (numeric)

200-Pin DDR2 SDRAM SODIMM Front (numeric)								200-Pin DDR2 SDRAM SODIMM Back (numeric)							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol		
1	V _{REF}	51	DQS2	101	A1	151	DQ42	2	V _{SS}	52	DM2	102	A0	152	DQ46
3	V _{SS}	53	V _{SS}	103	V _{DD}	153	DQ43	4	DQ4	54	V _{SS}	104	V _{DD}	154	DQ47
5	DQ0	55	DQ18	105	A10/AP	155	V _{SS}	6	DQ5	56	DQ22	106	BA1	156	V _{SS}
7	DQ1	57	DQ19	107	BA0	157	DQ48	8	V _{SS}	58	DQ23	108	RAS#	158	DQ52
9	V _{SS}	59	V _{SS}	109	WE#	159	DQ49	10	DM0	60	V _{SS}	110	S0#	160	DQ53
11	DQS0#	61	DQ24	111	V _{DD}	161	V _{SS}	12	V _{SS}	62	DQ28	112	V _{DD}	162	V _{SS}
13	DQS0	63	DQ25	113	CAS#	163	TEST/NC	14	DQ6	64	DQ29	114	ODT0	164	CK1
15	V _{SS}	65	V _{SS}	115	S1#/NC	165	V _{SS}	16	DQ7	66	V _{SS}	116	A13/NC	166	CK1#
17	DQ2	67	DM3	117	V _{DD}	167	DQS6#	18	V _{SS}	68	DQS3#	118	V _{DD}	168	V _{SS}
19	DQ3	69	NC	119	ODT1/NC	169	DQS6	20	DQ12	70	DQS3	120	NC	170	DM6
21	V _{SS}	71	V _{SS}	121	V _{SS}	171	V _{SS}	22	DQ13	72	V _{SS}	122	V _{SS}	172	V _{SS}
23	DQ8	73	DQ26	123	DQ32	173	DQ50	24	V _{SS}	74	DQ30	124	DQ36	174	DQ54
25	DQ9	75	DQ27	125	DQ33	175	DQ51	26	DM1	76	DQ31	126	DQ37	176	DQ55
27	V _{SS}	77	V _{SS}	127	V _{SS}	177	V _{SS}	28	V _{SS}	78	V _{SS}	128	V _{SS}	178	V _{SS}
29	DQS1#	79	CKE0	129	DQS4#	179	DQ56	30	CK0	80	CKE1/NC	130	DM4	180	DQ60
31	DQS1	81	V _{DD}	131	DQS4	181	DQ57	32	CK0#	82	V _{DD}	132	V _{SS}	182	DQ61
33	V _{SS}	83	NC	133	V _{SS}	183	V _{SS}	34	V _{SS}	84	A15/NC	134	DQ38	184	V _{SS}
35	DQ10	85	BA2/NC	135	DQ34	185	DM7	36	DQ14	86	A14/NC	136	DQ39	186	DQS7#
37	DQ11	87	V _{DD}	137	DQ35	187	V _{SS}	38	DQ15	88	V _{DD}	138	V _{SS}	188	DQS7
39	V _{SS}	89	A12	139	V _{SS}	189	DQ58	40	V _{SS}	90	A11	140	DQ44	190	V _{SS}
41	V _{SS}	91	A9	141	DQ40	191	DQ59	42	V _{SS}	92	A7	142	DQ45	192	DQ62
43	DQ16	93	A8	143	DQ41	193	V _{SS}	44	DQ20	94	A6	144	V _{SS}	194	DQ63
45	DQ17	95	V _{DD}	145	V _{SS}	195	SDA	46	DQ21	96	V _{DD}	146	DQS5#	196	V _{SS}
47	V _{SS}	97	A5	147	DM5	197	SCL	48	V _{SS}	98	A4	148	DQS5	198	SA0
49	DQS2#	99	A3	149	V _{SS}	199	V _{DDSPD}	50	NC	100	A2	150	V _{SS}	200	SA1

Table 3: 200-Pin DDR2 SDRAM SODIMM Pin Assignments (alphabetic)

200-Pin DDR2 SDRAM SODIMM Front (alphabetic)								200-Pin DDR2 SDRAM SODIMM Back (alphabetic)							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol
102	A0	80	CKE1/NC	43	DQ16	143	DQ41	29	DQS1#	197	SCL	24	V _{SS}	132	V _{SS}
101	A1	10	DM0	45	DQ17	151	DQ42	31	DQS1	195	SDA	27	V _{SS}	133	V _{SS}
100	A2	26	DM1	55	DQ18	153	DQ43	49	DQS2#	163	TEST/NC	28	V _{SS}	138	V _{SS}
99	A3	52	DM2	57	DQ19	140	DQ44	51	DQS2	81	V _{DD}	33	V _{SS}	139	V _{SS}
98	A4	67	DM3	44	DQ20	142	DQ45	68	DQS3#	82	V _{DD}	34	V _{SS}	144	V _{SS}
97	A5	130	DM4	46	DQ21	152	DQ46	70	DQS3	87	V _{DD}	39	V _{SS}	145	V _{SS}
94	A6	147	DM5	56	DQ22	154	DQ47	129	DQS4#	88	V _{DD}	40	V _{SS}	149	V _{SS}
92	A7	170	DM6	58	DQ23	157	DQ48	131	DQS4	95	V _{DD}	41	V _{SS}	150	V _{SS}
93	A8	185	DM7	61	DQ24	159	DQ49	146	DQS5#	96	V _{DD}	42	V _{SS}	155	V _{SS}
91	A9	5	DQ0	63	DQ25	173	DQ50	148	DQS5	103	V _{DD}	47	V _{SS}	156	V _{SS}
105	A10/AP	7	DQ1	73	DQ26	175	DQ51	167	DQS6#	104	V _{DD}	48	V _{SS}	161	V _{SS}
90	A11	17	DQ2	75	DQ27	158	DQ52	169	DQS6	111	V _{DD}	53	V _{SS}	162	V _{SS}
89	A12	195	DQ3	62	DQ28	160	DQ53	186	DQS7#	112	V _{DD}	54	V _{SS}	165	V _{SS}
116	A13/NC	4	DQ4	64	DQ29	174	DQ54	188	DQS7	117	V _{DD}	59	V _{SS}	168	V _{SS}
86	A14/NC	6	DQ5	74	DQ30	176	DQ55	50	NC	118	V _{DD}	60	V _{SS}	171	V _{SS}
84	A15/NC	14	DQ6	76	DQ31	179	DQ56	69	NC	199	V _{DD}	65	V _{SS}	172	V _{SS}
107	BA0	16	DQ7	123	DQ32	181	DQ57	83	NC	1	V _{DDSPD}	66	V _{SS}	177	V _{SS}
106	BA1	23	DQ8	125	DQ33	189	DQ58	120	NC	2	V _{REF}	71	V _{SS}	178	V _{SS}
85	BA2/NC	25	DQ9	135	DQ34	191	DQ59	114	ODT0	3	V _{SS}	72	V _{SS}	183	V _{SS}
113	CAS#	35	DQ10	137	DQ35	180	DQ60	119	ODT1/NC	8	V _{SS}	77	V _{SS}	184	V _{SS}
30	CK0	37	DQ11	124	DQ36	182	DQ61	108	RAS#	9	V _{SS}	78	V _{SS}	187	V _{SS}
32	CK0#	20	DQ12	126	DQ37	192	DQ62	110	S0#	12	V _{SS}	121	V _{SS}	190	V _{SS}
164	CK1	22	DQ13	134	DQ38	194	DQ63	115	S1#/NC	15	V _{SS}	122	V _{SS}	193	V _{SS}
166	CK1#	36	DQ14	136	DQ39	11	DQS0#	198	SA0	18	V _{SS}	127	V _{SS}	196	V _{SS}
79	CKE0	38	DQ15	141	DQ40	13	DQS0	200	SA1	21	V _{SS}	128	V _{SS}	109	WE#

Figure 1: 200-Pin DDR2 SDRAM SODIMM Pin Locations



240-Pin DDR2 SDRAM RDIMM

Table 4: 240-Pin DDR2 SDRAM RDIMM Pin Descriptions

Symbol	Description
A[9:0], A[15:11]	Address inputs
A10/AP	Address input/Autoprecharge
BA[2:0]	SDRAM bank address
CAS#	Column Address Strobe
CB[7:0]	Data check bits Input/Output
CK0	Clock inputs, positive line
CK0#	Clock inputs, negative line
CKE[1:0]	Clock Enables
DM[8:0]	Data Masks
DQ[63:0]	Data Input/Output
DQS[8:0]	Data Strobes
DQS#[17:9]	Data Strobes Complement
ERR_OUT#	Parity error found on the Address and Control bus
NC	No Connect
ODT[1:0]	On-die termination control
PAR_IN	Parity bit for the Address and Control bus
RAS#	Row Address Strobe
RESET#	Register and PLL control pin
RFU	Reserved for Future Use
S#[1:0]	Chip Selects
SA[2:0]	SPD address
SCL	Serial Presence-Detect (SPD), Clock Input
SDA	SPD Data Input/Output
TEST	Logic Analyzer specific test pin (No connect on SODIMM)
V _{DD}	Core and I/O Power
V _{DDQ}	I/O Power
V _{DDSPD}	SPD Power
V _{REF}	Input/Output Reference
V _{SS}	Ground
WE#	Write Enable



TN-47-03 DDR2 Module Pinout Decode Tables 240-Pin DDR2 SDRAM RDIMM

Table 5: 240-Pin DDR2 SDRAM RDIMM Pin Assignments (numeric)

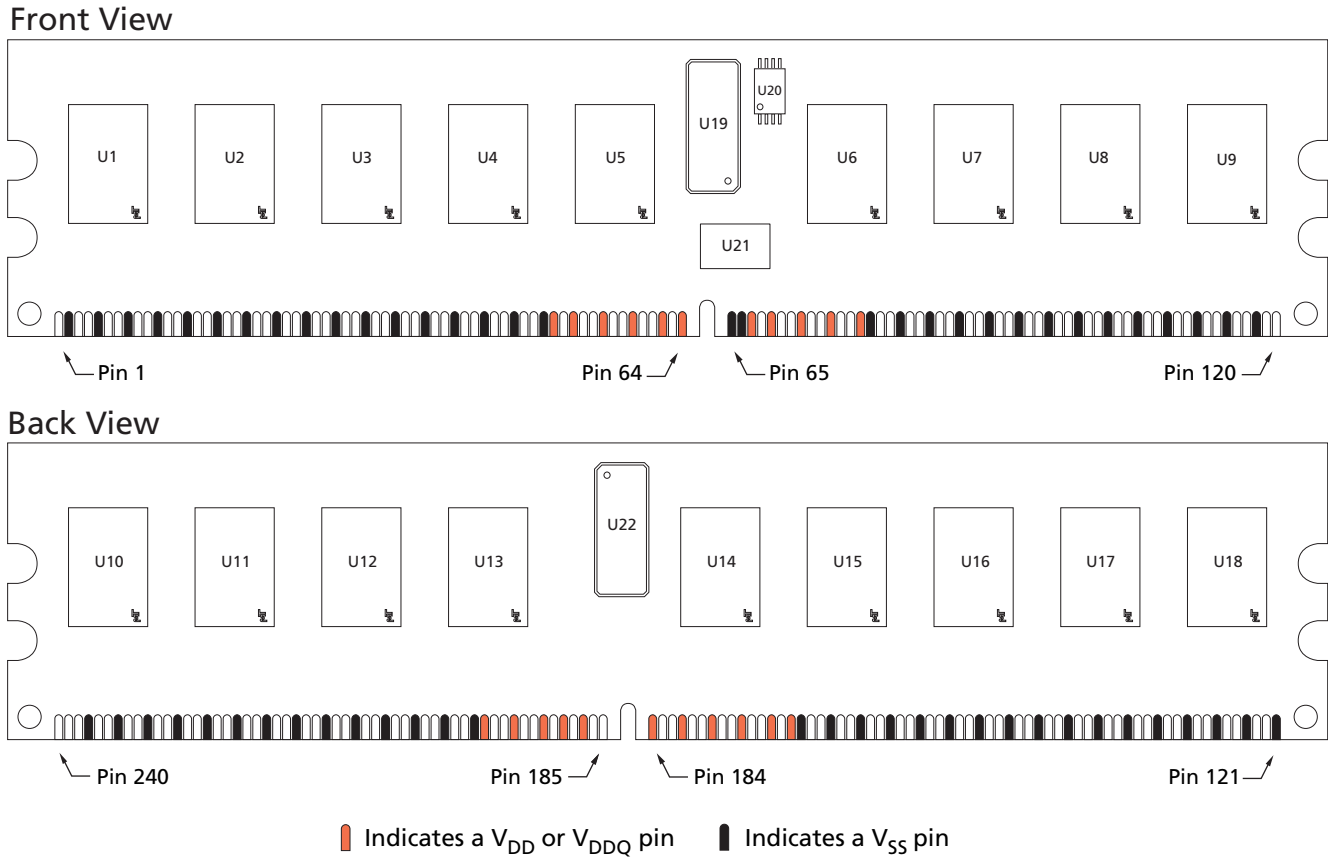
240-Pin DDR2 SDRAM RDIMM Front (numeric)								240-Pin DDR2 SDRAM RDIMM Back (numeric)							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol
1	V _{REF}	31	DQ19	61	A4	91	V _{SS}	121	V _{SS}	151	V _{SS}	181	V _{DDQ}	211	DM5/ DQS14
2	V _{SS}	32	V _{SS}	62	V _{DDQ}	92	DQS5#	122	DQ4	152	DQ28	182	A3	212	DQS14#/ NC
3	DQ0	33	DQ24	63	A2	93	DQS5	123	DQ5	153	DQ29	183	A1	213	V _{SS}
4	DQ1	34	DQ25	64	V _{DD}	94	V _{SS}	124	V _{SS}	154	V _{SS}	184	V _{DD}	214	DQ46
5	V _{SS}	35	V _{SS}	65	V _{SS}	95	DQ42	125	DM0/ DQS9	155	DM3/ DQS12	185	CK0	215	DQ47
6	DQS0#	36	DQS3#	66	V _{SS}	96	DQ43	126	DQS9#/ NC	156	DQS12#/ NC	186	CK0#	216	V _{SS}
7	DQS0	37	DQS3	67	V _{DD}	97	V _{SS}	127	V _{SS}	157	V _{SS}	187	V _{DD}	217	DQ52
8	V _{SS}	38	V _{SS}	68	PAR_IN/ NC	98	DQ48	128	DQ6	158	DQ30	188	A0	218	DQ53
9	DQ2	39	DQ26	69	V _{DD}	99	DQ49	129	DQ7	159	DQ31	189	V _{DD}	219	V _{SS}
10	DQ3	40	DQ27	70	A10/AP	100	V _{SS}	130	V _{SS}	160	V _{SS}	190	BA1	220	RFU
11	V _{SS}	41	V _{SS}	71	BA0	101	SA2	131	DQ12	161	CB4	191	V _{DDQ}	221	RFU
12	DQ8	42	CB0	72	V _{DDQ}	102	TEST/NC	132	DQ13	162	CB5	192	RAS#	222	V _{SS}
13	DQ9	43	CB1	73	WE#	103	V _{SS}	133	V _{SS}	163	V _{SS}	193	S0#	223	DM6/ DQS15
14	V _{SS}	44	V _{SS}	74	CAS#	104	DQS6#	134	DM1/ DQS10	164	DM8/ DQS17	194	V _{DDQ}	224	DQS15#/ NC
15	DQS1#	45	DQS8#	75	V _{DDQ}	105	DQS6	135	DQS10#/ NC	165	DQS17#/ NC	195	ODT0	225	V _{SS}
16	DQS1	46	DQS8	76	S1#/NC	106	V _{SS}	136	V _{SS}	166	V _{SS}	196	A13	226	DQ54
17	V _{SS}	47	V _{SS}	77	ODT1/NC	107	DQ50	137	RFU	167	CB6	197	V _{DD}	227	DQ55
18	RESET#	48	CB2	78	V _{DDQ}	108	DQ51	138	RFU	168	CB7	198	V _{SS}	228	V _{SS}
19	NC	49	CB3	79	V _{SS}	109	V _{SS}	139	V _{SS}	169	V _{SS}	199	DQ36	229	DQ60
20	V _{SS}	50	V _{SS}	80	DQ32	110	DQ56	140	DQ14	170	V _{DDQ}	200	DQ37	230	DQ61
21	DQ10	51	V _{DDQ}	81	DQ33	111	DQ57	141	DQ15	171	CKE1/NC	201	V _{SS}	231	V _{SS}
22	DQ11	52	CKE0	82	V _{SS}	112	V _{SS}	142	V _{SS}	172	V _{DD}	202	DM4/ DQS13	232	DM7/ DQS16
23	V _{SS}	53	V _{DD}	83	DQS4#	113	DQS7#	143	DQ20	173	A15/NC	203	DQS13#/ NC	233	DQS16#/ NC
24	DQ16	54	BA2/NC	84	DQS4	114	DQS7	144	DQ21	174	A14/NC	204	V _{SS}	234	V _{SS}
25	DQ17	55	ERR_OUT#	85	V _{SS}	115	V _{SS}	145	V _{SS}	175	V _{DDQ}	205	DQ38	235	DQ62
26	V _{SS}	56	V _{DDQ}	86	DQ34	116	DQ58	146	DM2/ DQS11	176	A12	206	DQ39	236	DQ63
27	DQS2#	57	A11	87	DQ35	117	DQ59	147	DQS11#/ NC	177	A9	207	V _{SS}	237	V _{SS}
28	DQS2	58	A7	88	V _{SS}	118	V _{SS}	148	V _{SS}	178	V _{DD}	208	DQ44	238	V _{DDSPD}
29	V _{SS}	59	V _{DD}	89	DQ40	119	SDA	149	DQ22	179	A8	209	DQ45	239	SA0
30	DQ18	60	A5	90	DQ41	120	SCL	150	DQ23	180	A6	210	V _{SS}	240	SA1



Table 6: 240-Pin DDR2 SDRAM RDIMM Pin Assignments (alphabetic)

240-Pin DDR2 SDRAM RDIMM Front (alphabetic)								240-Pin DDR2 SDRAM RDIMM Back (alphabetic)							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol		
188	A0	52	CKE0	152	DQ28	116	DQ58	155	DM3/ DQS12	102	TEST/NC	17	V _{SS}		
183	A1	171	CKE1/NC	153	DQ29	117	DQ59	156	DQS12#/ NC	53	V _{DD}	20	V _{SS}		
63	A2	3	DQ0	158	DQ30	229	DQ60	202	DM4/ DQS13	59	V _{DD}	23	V _{SS}		
182	A3	4	DQ1	159	DQ31	230	DQ61	203	DQS13#/ NC	64	V _{DD}	26	V _{SS}		
61	A4	9	DQ2	80	DQ32	235	DQ62	211	DM5/ DQS14	67	V _{DD}	29	V _{SS}		
60	A5	10	DQ3	81	DQ33	236	DQ63	212	DQS14#/ NC	69	V _{DD}	32	V _{SS}		
180	A6	122	DQ4	86	DQ34	7	DQS0	223	DM6/ DQS15	172	V _{DD}	35	V _{SS}		
58	A7	123	DQ5	87	DQ35	6	DQS0#	224	DQS15#/ NC	178	V _{DD}	38	V _{SS}		
179	A8	128	DQ6	199	DQ36	16	DQS1	232	DM7/ DQS16	184	V _{DD}	41	V _{SS}		
177	A9	129	DQ7	200	DQ37	15	DQS1#	233	DQS16#/ NC	187	V _{DD}	44	V _{SS}		
70	A10/AP	12	DQ8	205	DQ38	28	DQS2	164	DM8/ DQS17	189	V _{DD}	47	V _{SS}		
57	A11	13	DQ9	206	DQ39	27	DQS2#	165	DQS17#/ NC	197	V _{DD}	50	V _{SS}		
176	A12	21	DQ10	89	DQ40	37	DQS3	55	ERR_OUT#	51	V _{DDQ}	65	V _{SS}		
196	A13/NC	22	DQ11	90	DQ41	36	DQS3#	19	NC	56	V _{DDQ}	66	V _{SS}		
174	A14/NC	131	DQ12	95	DQ42	84	DQS4	195	ODT0	62	V _{DDQ}	79	V _{SS}		
173	A15/NC	132	DQ13	96	DQ43	83	DQS4#	77	ODT1/NC	72	V _{DDQ}	82	V _{SS}		
71	BA0	140	DQ14	208	DQ44	93	DQS5	68	PAR_IN/ NC	75	V _{DDQ}	85	V _{SS}		
190	BA1	141	DQ15	209	DQ45	92	DQS5#	192	RAS#	78	V _{DDQ}	88	V _{SS}		
54	BA2/NC	24	DQ16	214	DQ46	105	DQS6	18	RESET#	170	V _{DDQ}	91	V _{SS}		
74	CAS#	25	DQ17	215	DQ47	104	DQS6#	137	RFU	175	V _{DDQ}	94	V _{SS}		
42	CB0	30	DQ18	98	DQ48	114	DQS7	138	RFU	181	V _{DDQ}	97	V _{SS}		
43	CB1	31	DQ19	99	DQ49	113	DQS7#	220	RFU	191	V _{DDQ}	100	V _{SS}		
48	CB2	143	DQ20	107	DQ50	46	DQS8	221	RFU	194	V _{DDQ}	103	V _{SS}		
49	CB3	144	DQ21	108	DQ51	45	DQS8#	193	S0#	238	V _{DDSPD}	106	V _{SS}		
161	CB4	149	DQ22	217	DQ52	125	DM0/ DQS9	76	S1#/NC	1	V _{REF}	109	V _{SS}		
162	CB5	150	DQ23	218	DQ53	126	DQS9#/ NC	239	SA0	2	V _{SS}	112	V _{SS}		
167	CB6	33	DQ24	226	DQ54	134	DM1/ DQS10	240	SA1	5	V _{SS}	115	V _{SS}		
168	CB7	34	DQ25	227	DQ55	135	DQS10#/ NC	101	SA2	8	V _{SS}	118	V _{SS}		
185	CK0	39	DQ26	110	DQ56	146	DM2/ DQS11	120	SCL	11	V _{SS}	121	V _{SS}		
186	CK0#	40	DQ27	111	DQ57	147	DQS11#/ NC	119	SDA	14	V _{SS}	124	V _{SS}		
												73	SA1		

Figure 2: 240-Pin DDR2 SDRAM RDIMM Pin Locations



240-Pin DDR2 SDRAM UDIMM

Table 7: 240-Pin DDR2 SDRAM UDIMM Pin Descriptions

Symbol	Description
A[9:0], A[15:0]	Address inputs
A10/AP	Address input/Autoprecharge
BA[2:0]	SDRAM bank address
CAS#	Column Address Strobe
CB[7:0]	Data check bits Input/Output
CK[1:0]	Clock inputs, positive line
CK#[1:0]	Clock inputs, negative line
CKE[1:0]	Clock Enables
DM[8:0]	Data Masks
DQ[63:0]	Data Input/Output
DQS	Data Strobes
DQS#[17:9]	Data Strobes Complement
NC	No Connect
ODT[1:0]	On-die termination control
RAS#	Row Address Strobe
RESET#	Register and PLL control pin
RFU	Reserved for Future Use
S#[1:0]	Chip Selects
SA[2:0]	SPD address
SCL	Serial Presence-Detect (SPD), Clock Input
SDA	SPD Data Input/Output
TEST	Logic Analyzer specific test pin (No connect on SODIMM)
V _{DD}	Core and I/O Power
V _{DDQ}	I/O Power
V _{DDSPD}	SPD Power
V _{REF}	Input/Output Reference
V _{SS}	Ground
WE#	Write Enable



Table 8: 240-Pin DDR2 SDRAM UDIMM Pin Assignments (numeric)

240-Pin DDR2 SDRAM UDIMM Front (numeric)								240-Pin DDR2 SDRAM UDIMM Back (numeric)							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol		
1	V _{REF}	31	DQ19	61	A4	91	V _{SS}	121	V _{SS}	151	V _{SS}	181	V _{DDQ}	211	DM5/ DQS14
2	V _{SS}	32	V _{SS}	62	V _{DDQ}	92	DQS5#	122	DQ4	152	DQ28	182	A3	212	DQS14#/ NC
3	DQ0	33	DQ24	63	A2	93	DQS5	123	DQ5	153	DQ29	183	A1	213	V _{SS}
4	DQ1	34	DQ25	64	V _{DD}	94	V _{SS}	124	V _{SS}	154	V _{SS}	184	V _{DD}	214	DQ46
5	V _{SS}	35	V _{SS}	65	V _{SS}	95	DQ42	125	DM0/ DQS9	155	DM3/ DQS12	185	CK0	215	DQ47
6	DQS0#	36	DQS3#	66	V _{SS}	96	DQ43	126	DQS9#/ NC	156	DQS12#/ NC	186	CK0#	216	V _{SS}
7	DQS0	37	DQS3	67	V _{DD}	97	V _{SS}	127	V _{SS}	157	V _{SS}	187	V _{DD}	217	DQ52
8	V _{SS}	38	V _{SS}	68	NC	98	DQ48	128	DQ6	158	DQ30	188	A0	218	DQ53
9	DQ2	39	DQ26	69	V _{DD}	99	DQ49	129	DQ7	159	DQ31	189	V _{DD}	219	V _{SS}
10	DQ3	40	DQ27	70	A10/AP	100	V _{SS}	130	V _{SS}	160	V _{SS}	190	BA1	220	CK2
11	V _{SS}	41	V _{SS}	71	BA0	101	SA2	131	DQ12	161	CB4	191	V _{DDQ}	221	CK2#
12	DQ8	42	CB0	72	V _{DDQ}	102	TEST	132	DQ13	162	CB5	192	RAS#	222	V _{SS}
13	DQ9	43	CB1	73	WE#	103	V _{SS}	133	V _{SS}	163	V _{SS}	193	S0#	223	DM6/ DQS15
14	V _{SS}	44	V _{SS}	74	CAS#	104	DQS6#	134	DM1/ DQS10	164	DM8/ DQS17	194	V _{DDQ}	224	DQS15#/ NC
15	DQS1#	45	DQS8#	75	V _{DDQ}	105	DQS6	135	DQS10#/ NC	165	DQS17#/ NC	195	ODT0	225	V _{SS}
16	DQS1	46	DQS8	76	S1#/NC	106	V _{SS}	136	V _{SS}	166	V _{SS}	196	A13	226	DQ54
17	V _{SS}	47	V _{SS}	77	ODT1/NC	107	DQ50	137	CK1	167	CB6	197	V _{DD}	227	DQ55
18	NC	48	CB2	78	V _{DDQ}	108	DQ51	138	CK1#	168	CB7	198	V _{SS}	228	V _{SS}
19	NC	49	CB3	79	V _{SS}	109	V _{SS}	139	V _{SS}	169	V _{SS}	199	DQ36	229	DQ60
20	V _{SS}	50	V _{SS}	80	DQ32	110	DQ56	140	DQ14	170	V _{DDQ}	200	DQ37	230	DQ61
21	DQ10	51	V _{DDQ}	81	DQ33	111	DQ57	141	DQ15	171	CKE1/NC	201	V _{SS}	231	V _{SS}
22	DQ11	52	CKE0	82	V _{SS}	112	V _{SS}	142	V _{SS}	172	V _{DD}	202	DM4/ DQS13	232	DM7/ DQS16
23	V _{SS}	53	V _{DD}	83	DQS4#	113	DQS7#	143	DQ20	173	A15	203	DQS13#/ NC	233	DQS16#/ NC
24	DQ16	54	BA2/NC	84	DQS4	114	DQS7	144	DQ21	174	A14	204	V _{SS}	234	V _{SS}
25	DQ17	55	NC	85	V _{SS}	115	V _{SS}	145	V _{SS}	175	V _{DDQ}	205	DQ38	235	DQ62
26	V _{SS}	56	V _{DDQ}	86	DQ34	116	DQ58	146	DM2/ DQS11	176	A12	206	DQ39	236	DQ63
27	DQS2#	57	A11	87	DQ35	117	DQ59	147	DQS11#/ NC	177	A9	207	V _{SS}	237	V _{SS}
28	DQS2	58	A7	88	V _{SS}	118	V _{SS}	148	V _{SS}	178	V _{DD}	208	DQ44	238	V _{DDSPD}
29	V _{SS}	59	V _{DD}	89	DQ40	119	SDA	149	DQ22	179	A8	209	DQ45	239	SA0
30	DQ18	60	A5	90	DQ41	120	SCL	150	DQ23	180	A6	210	V _{SS}	240	SA1

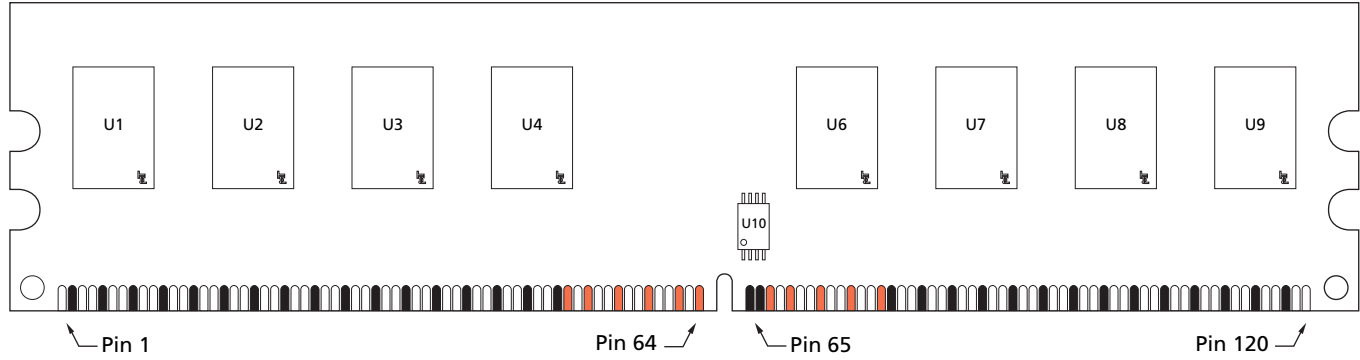


Table 9: 240-Pin DDR2 SDRAM UDIMM Pin Assignments (alphabetic)

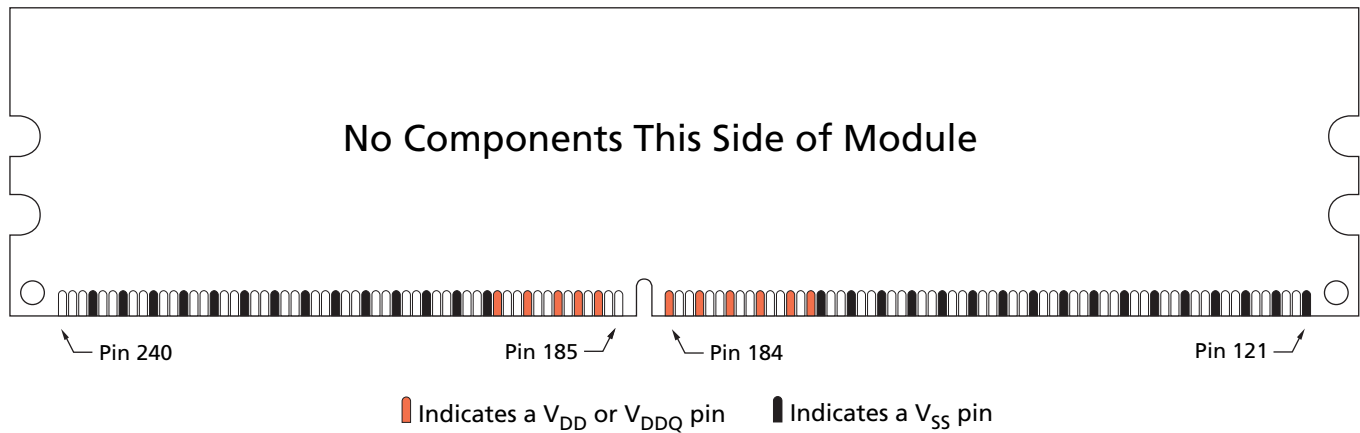
240-Pin DDR2 SDRAM UDIMM Front (alphabetic)								240-Pin DDR2 SDRAM UDIMM Back (alphabetic)							
Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol		
188	A0	137	CK1	33	DQ24	226	DQ54	134	DM1/ DQS10	102	TEST	17	V _{SS}		
183	A1	138	CK1#	34	DQ25	227	DQ55	135	DQS10#/ NC	53	V _{DD}	20	V _{SS}		
63	A2	220	CK2	39	DQ26	110	DQ56	146	DM2/ DQS11	59	V _{DD}	23	V _{SS}		
182	A3	221	CK2#	40	DQ27	111	DQ57	147	DQS11#/ NC	64	V _{DD}	26	V _{SS}		
61	A4	52	CKE0	152	DQ28	116	DQ58	155	DM3/ DQS12	67	V _{DD}	29	V _{SS}		
60	A5	171	CKE1	153	DQ29	117	DQ59	156	DQS12#/ NC	69	V _{DD}	32	V _{SS}		
180	A6	3	DQ0	158	DQ30	229	DQ60	202	DM4/ DQS13	172	V _{DD}	35	V _{SS}		
58	A7	4	DQ1	159	DQ31	230	DQ61	203	DQS13#/ NC	178	V _{DD}	38	V _{SS}		
179	A8	9	DQ2	80	DQ32	235	DQ62	211	DM5/ DQS14	184	V _{DD}	41	V _{SS}		
177	A9	10	DQ3	81	DQ33	236	DQ63	212	DQS14#/ NC	187	V _{DD}	44	V _{SS}		
70	A10/AP	122	DQ4	86	DQ34	7	DQS0	223	DM6/ DQS15	189	V _{DD}	47	V _{SS}		
57	A11	123	DQ5	87	DQ35	6	DQS0#	224	DQS15#/ NC	197	V _{DD}	50	V _{SS}		
176	A12	128	DQ6	199	DQ36	16	DQS1	232	DM7/ DQS16	51	V _{DDQ}	65	V _{SS}		
196	A13	129	DQ7	200	DQ37	15	DQS1#	233	DQS16#/ NC	56	V _{DDQ}	66	V _{SS}		
174	A14	12	DQ8	205	DQ38	28	DQS2	164	DM8/ DQS17	62	V _{DDQ}	79	V _{SS}		
173	A15	13	DQ9	206	DQ39	27	DQS2#	165	DQS17#/ NC	72	V _{DDQ}	82	V _{SS}		
71	BA0	21	DQ10	89	DQ40	37	DQS3	19	NC	75	V _{DDQ}	85	V _{SS}		
190	BA1	22	DQ11	90	DQ41	36	DQS3#	68	NC	78	V _{DDQ}	88	V _{SS}		
54	BA2/NC	131	DQ12	95	DQ42	84	DQS4	55	NC	170	V _{DDQ}	91	V _{SS}		
74	CAS#	132	DQ13	96	DQ43	83	DQS4#	18	NC	175	V _{DDQ}	94	V _{SS}		
42	CB0	140	DQ14	208	DQ44	93	DQS5	195	ODT0	181	V _{DDQ}	97	V _{SS}		
43	CB1	141	DQ15	209	DQ45	92	DQS5#	77	ODT1	191	V _{DDQ}	100	V _{SS}		
48	CB2	24	DQ16	214	DQ46	105	DQS6	192	RAS#	194	V _{DDQ}	103	V _{SS}		
49	CB3	25	DQ17	215	DQ47	104	DQS6#	193	S0#	238	V _{DDSPD}	106	V _{SS}		
161	CB4	30	DQ18	98	DQ48	114	DQS7	76	S1#	1	V _{REF}	109	V _{SS}		
162	CB5	31	DQ19	99	DQ49	113	DQS7#	239	SA0	2	V _{SS}	112	V _{SS}		
167	CB6	143	DQ20	107	DQ50	46	DQS8	240	SA1	5	V _{SS}	115	V _{SS}		
168	CB7	144	DQ21	108	DQ51	45	DQS8#	101	SA2	8	V _{SS}	118	V _{SS}		
185	CK0	149	DQ22	217	DQ52	125	DM0/ DQS9	120	SCL	11	V _{SS}	121	V _{SS}		
186	CK0#	150	DQ23	218	DQ53	126	DDQS9#/ NC	119	SDA	14	V _{SS}	124	V _{SS}		
												73	WE#		

Figure 3: 240-Pin DDR2 SDRAM UDIMM Pin Locations

Front View



Back View



References

JEDEC reference design specification documents for 240-pin registered and unbuffered DIMMs and 200-pin unbuffered SODIMMs.